

半導体開発ニュースNo※3415とさしかえてください。

製品規格

LC324256J,Z-10/12 — CMOS LSI 1MビットダイナミックRAM (256K×4ビット構成,高速ページモード)

概要

LC324256J,Zシリーズは、262144ワード×4ビット構成の5V単一電源動作によるCMOSダイナミックRAMである。大容量、高速、低消費電力の特長をもちコンピュータのメインメモリ、周辺メモリから民生機器まで広範なアプリケーションに適している。

アドレス入力はマルチプレックス方式とすることでコンパクトなプラスチックパッケージに納めている。

リフレッシュは8ms以内に512ローアドレス(A₀~A₈)を選択する $\overline{\text{RAS}}$ オンリーリフレッシュ、 $\overline{\text{CAS}}$ ピフォア $\overline{\text{RAS}}$ リフレッシュが可能である。

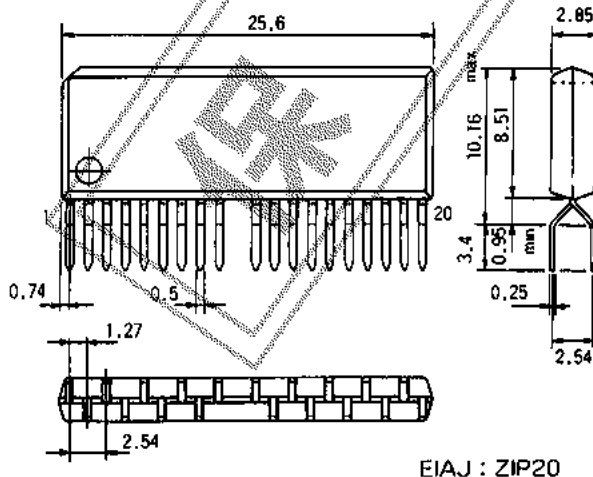
特長

- 構成：262144ワード×4ビット
- アクセスタイム / サイクルタイム / 消費電力

項目		LC324256J,Z-10	LC324256J,Z-12
RASアクセスタイム		100ns	120ns
サイクルタイム		190ns	220ns
消費電力(最大)	動作時	413mW	358mW
	スタンバイ時	5.5mW(CMOSレベル) / 11mW(TTLレベル)	

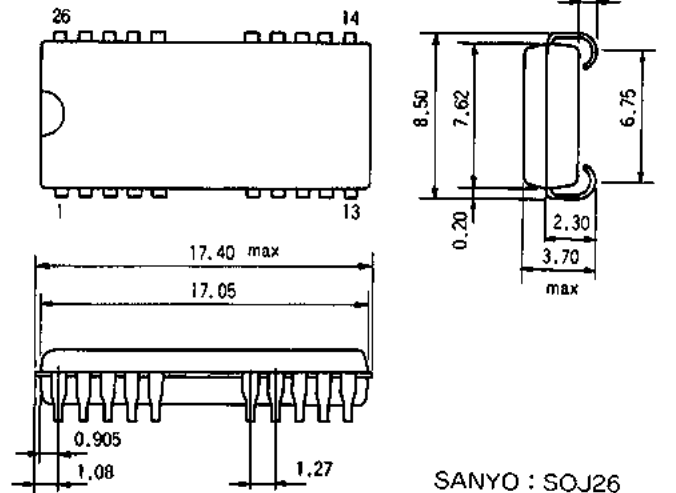
- 電源電圧：5V±10%
- 入出力TTLコンパチブル。
- 高速ページモード、リードモディファイライトが可能。
- アーリライト、 $\overline{\text{OE}}$ コントロールにより出力バッファのコントロールが可能。
- 512リフレッシュサイクル / 8ms
- $\overline{\text{RAS}}$ オンリーリフレッシュ、 $\overline{\text{CAS}}$ ピフォア $\overline{\text{RAS}}$ リフレッシュ、ヒドンリフレッシュが可能。

外形図 3144-S20ZLSI
(unit: mm)



EIAJ : ZIP20

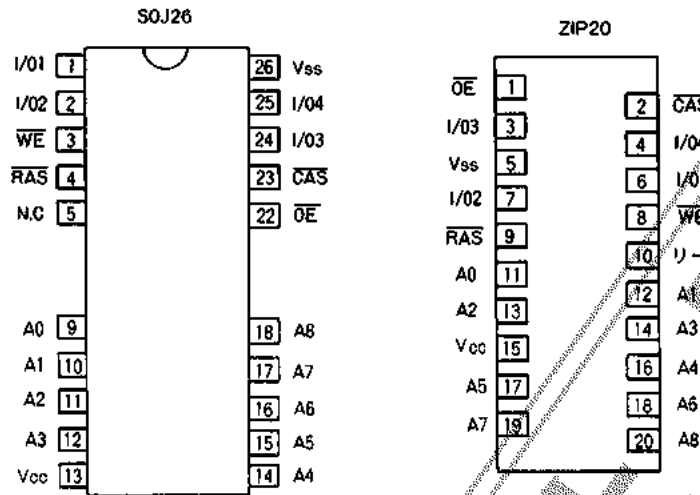
外形図 3145-SO26LSI (unit: mm)



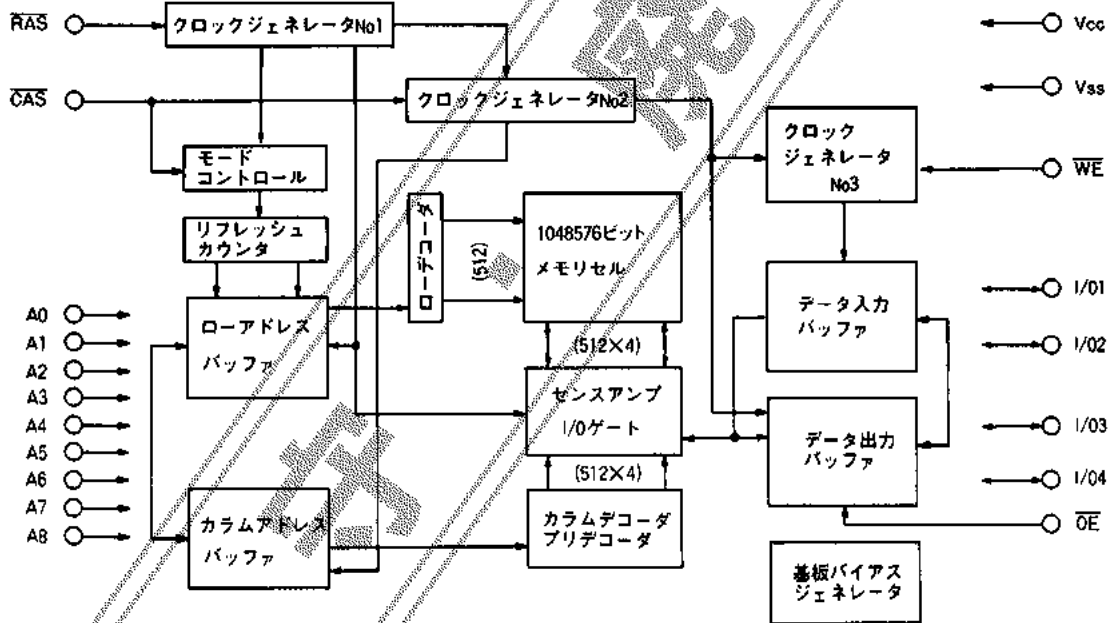
SANYO : SOJ26

*これらの仕様は、改良などのため変更することがあります。

ピン配置図



ブロック図



■ 絶対最大定格

項目	記号	定格	unit	注
入力電圧	V _{IN}	-1.0~+7.0	V	1
出力電圧	V _{OUT}	-1.0~+7.0	V	1
最大電源電圧	V _{CC max}	-1.0~+7.0	V	1
動作周囲温度	T _{opg}	0~+70	°C	1
保存周囲温度	T _{stg}	-55~+150	°C	1
許容消費電力	P _{d max}	600	mW	1
出力短絡電流	I _{OUT}	50	mA	1

注1) 最大定格以上のストレスが印加された場合、破壊を起こす恐れがある。

■ DC許容動作範囲 / Ta= 0~+70°C

項目	記号	min	typ	max	unit	注
電源電圧	V _{CC}	4.5	5.0	5.5	V	2
入力"H"レベル電圧	V _{IH}	2.4		6.5	V	2
入力"L"レベル電圧	V _{IL}	-1.0		0.8	V	2

注2) 全ての電圧はV_{SS}を基準とする。

■ DC電氣的特性 / Ta= 0~+70°C, V_{CC}= 5V±10%

項目	記号	条件	min	max	unit	注
動作電流 (動作時の平均電流)	LC324256J,Z-10	I _{CC1} RAS, CAS, アドレスサイクリング: t _{RC} =t _{RC min}		75	mA	3, 4
	LC324256J,Z-12			65		
スタンバイ電流	I _{CC2}	RAS=CAS=V _{IH}		2	mA	
RASオンリー リフレッシュ電流	LC324256J,Z-10	I _{CC3} RASサイクリング: CAS=V _{IH} ; t _{RC} =t _{RC min}		75	mA	3, 4
	LC324256J,Z-12			65		
高速ページモード電流	LC324256J,Z-10	I _{CC4} RAS=V _{IL} , CAS, アドレスサイクリ ング; t _{PC} =t _{PC min}		55	mA	3, 4
	LC324256J,Z-12			45		
スタンバイ電流	I _{CC5}	RAS=CAS=V _{CC} -0.2V		1	mA	
CASピフォア RASリフレッシュ電流	LC324256J,Z-10	I _{CC6} RAS, CASサイクリング: t _{RC} =t _{RC min}		75	mA	3, 4
	LC324256J,Z-12			65		
入力リーク電流	I _{IL}	0V ≤ V _{IN} ≤ 6.5V, 測定ピン以外のピン=0V	-10	10	μA	
出力リーク電流	I _{OL}	D _{OUT} はディスエーブル, 0V ≤ V _{OUT} ≤ +5.5V	-10	10	μA	
出力"H"レベル電圧	V _{OH}	I _{OUT} =-5.0mA	2.4		V	
出力"L"レベル電圧	V _{OL}	I _{OUT} =4.2mA		0.4	V	

注3) これは最小サイクルでの電流値である。電流は過度的に流れるので、サイクルタイムを長くすると小さくなる。

4) I_{CC1}とI_{CC4}は出力負荷に依存する。I_{CC1}, I_{CC4}のmax値は出力開放状態での値である。

LC324256J,Z-10/12

AC電氣的特性 / Ta = 0 ~ +70°C, Vcc = 5V ± 10% (注 5, 6, 7)

項 目	記号	LC324256J,Z-10		LC324256J,Z-12		unit	注
		min	max	min	max		
ランダムリード、ライトサイクル時間	trc	190		220		ns	
リードライトサイクル時間	trwc	250		290		ns	
高速ページモードサイクル時間	tpc	60		70		ns	
高速ページモードリードライトサイクル時間	tprowc	120		140		ns	
RASアクセス時間	trac		100		120	ns	8, 13
CASアクセス時間	tcac		25		30	ns	8, 13
カラムアドレスアクセス時間	tAA		50		60	ns	8, 14
CASプリチャージアクセス時間	tcPA		55		65	ns	8
CASローからの出力低インピーダンス時間	tCLZ	5		5		ns	8
出力バッファターンオフ遅れ時間	tOFF	0	30	0	35	ns	9
立ち上がり、立ち下がり時間	tT	3	50	3	50	ns	7
RASプリチャージ時間	trp	80		90		ns	
RASパルス幅	trAS	100	10000	120	10000	ns	
RASパルス幅(高速ページモードサイクルのみ)	trASP	100	100000	120	100000	ns	
RASホールド時間	trSH	25		30		ns	
CASホールド時間	tcSH	100		120		ns	
CASパルス幅	tcAS	25	10000	30	10000	ns	
RAS - CAS遅れ時間	trCD	25	75	25	90	ns	13
RAS - カラムアドレス遅れ時間	trAD	20	50	20	60	ns	14
CAS - RASプリチャージ時間	tcRP	10		10		ns	
CASプリチャージ時間 (高速ページモードサイクルのみ)	tcP	10		15		ns	
ローアドレスセットアップ時間	tASR	0		0		ns	
ローアドレスホールド時間	trAH	15		15		ns	
カラムアドレスセットアップ時間	tASC	0		0		ns	
カラムアドレスホールド時間	tCAH	20		25		ns	
カラムアドレスホールド時間(RAS基準)	tAR	75		90		ns	
カラムアドレス - RASリード時間	trAL	50		60		ns	
リードコマンドセットアップ時間	trCS	0		0		ns	
リードコマンドホールド時間(CAS基準)	trCH	0		0		ns	10
リードコマンドホールド時間(RAS基準)	trRH	0		0		ns	10
ライトコマンドホールド時間	twCH	20		25		ns	
ライトコマンドホールド時間(RAS基準)	twCR	75		90		ns	
ライトコマンドパルス幅	twP	20		25		ns	
ライトコマンド - RASリード時間	trWL	25		30		ns	
ライトコマンド - CASリード時間	tcWL	25		30		ns	
データ入力セットアップ時間	tDS	0		0		ns	11
データ入力ホールド時間	tDH	20		25		ns	11
データ入力ホールド時間(RAS基準)	tDHR	75		90		ns	
リフレッシュ時間	trEF		8		8	ms	
ライトコマンドセットアップ時間	twCS	0		0		ns	12
CAS - WE遅れ時間	tcWD	55		65		ns	12

次ページへ続く

前ページより続く

項 目	記号	LC324256J,Z-10		LC324256J,Z-12		unit	注
		min	max	min	max		
RAS - WE遅れ時間	trWD	130		155		ns	12
カラムアドレス - WE遅れ時間	tAWD	80		95		ns	12
CASセットアップ時間(CASビフォアRAS)	tCSR	10		10		ns	
CASホールド時間(CASビフォアRAS)	tCHR	30		30		ns	
RASプリチャージ時間・CASアクティブ時間	trPC	10		10		ns	
CASプリチャージ時間 (CASビフォアRASカウンタテスト)	tcPT	50		60		ns	
CASプリチャージ時間(CASビフォアRAS)	tcPN	15		20		ns	
RASホールド時間(OE基準)	tROH	20		20		ns	
OEアクセス時間	tOEA		25		30	ns	
OE遅れ時間	tOED	25		30		ns	
OE出力バッファターンオフ遅れ時間	tOEZ	0	25	0	30	ns	
OEコマンドホールド時間	tOEH	25		30		ns	
データ入力 - CAS遅れ時間	tDZC	0		0		ns	15
データ入力 - OE遅れ時間	tDZO	0		0		ns	15

入出力容量 / Ta = +25°C, f = 1 MHz, Vcc = 5 V ± 10%

項 目	記号	min	max	unit
入力容量 (A ₀ ~A ₈)	C _{IN1}		5	pF
入力容量 (RAS, CAS, WE, OE)	C _{IN2}		7	pF
出力容量 (I/O ₁ ~I/O ₄)	C _{I/O}		7	pF

注：5) 電源投入後、Vccが規定の電圧に到達してから200 μ s後にメモリの動作を開始すること。また、メモリの動作を開始する前に、8サイクル程度のRASタイミングサイクルが必要である。更に内部リフレッシュカウンタを使用する場合は、RASダミーサイクルの代わりに8サイクル程度のCASビフォアRASダミーサイクルが必要である。

6) $t_t = 5$ nsにて測定。

7) 入力信号のタイミングを測定する場合には、 V_{IH} (min)と V_{IL} (max)が基準になる。また、立ち上がり、立ち下がり時間は V_{IH} と V_{IL} の間で定義される。

8) 100pFと2 TTL負荷で測定される。

9) t_{OFF} (max)は出力が高インピーダンス状態になり、出力電圧レベルが測定不可能になる時間までと定義される。

10) t_{RRH} と t_{RCH} はどちらか一方が満足されていれば動作が保証される。

11) これらのパラメータはアーリライツサイクルの場合は、CASの立ち下がりエッジから、リードモディファイライトサイクルの場合は、WEの立ち下がりエッジから測定される。

12) t_{WCS} , t_{CWD} , t_{rWD} , t_{AWD} は動作モードを規定する点でメモリの動作限界点ではない。 $t_{WCS} \geq t_{WCS}$ (min)の場合はアーリライツサイクルとなり、出力端子は高インピーダンスとなる。 $t_{CWD} \geq t_{CWD}$ (min), $t_{rWD} \geq t_{rWD}$ (min), $t_{AWD} \geq t_{AWD}$ (min)の場合はリードモディファイライトサイクルとなりデータ出力は選択セルの情報になる。

上記以外のタイミングの場合、出力は不確定になる。

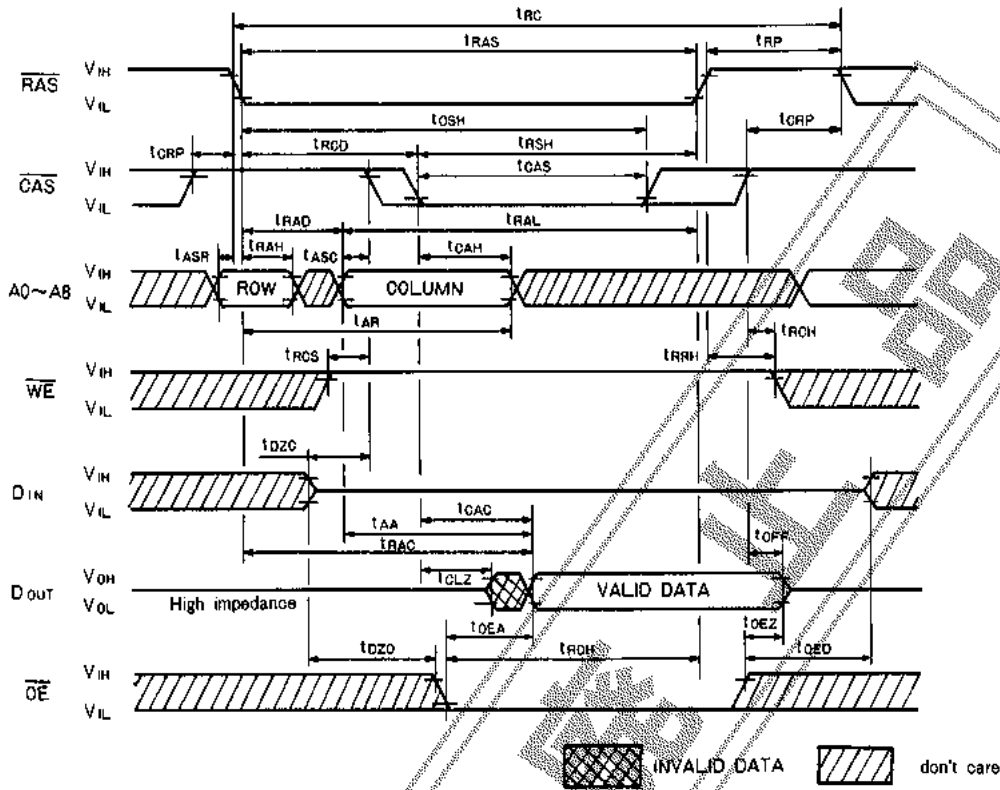
13) t_{rCD} (max)は動作の限界を示すのではなく、 t_{rAC} (max)を保証する点を示している。もし $t_{rCD} \geq t_{rCD}$ (max)になった場合は、アクセスタイムは t_{CAC} によって決まる。

14) t_{rAD} (max)は動作の限界を示すのではなく、 t_{rAC} (max)を保証する点を示している。もし $t_{rAD} \geq t_{rAD}$ (max)になった場合は、アクセスタイムは t_{AA} によって決まる。

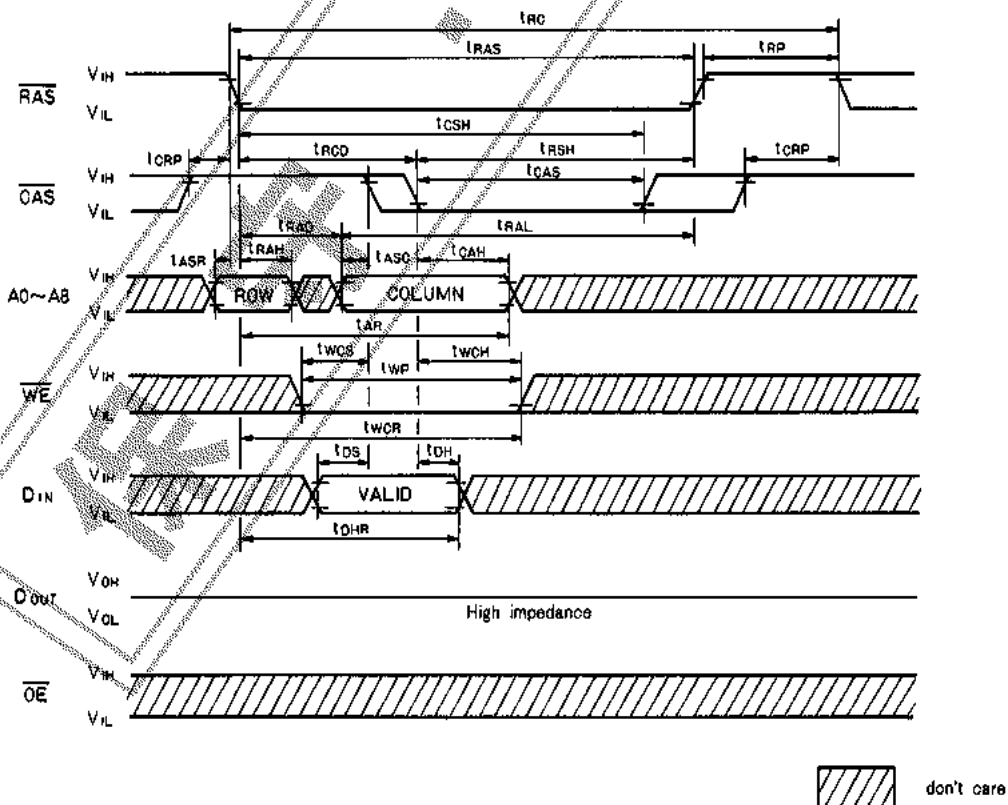
15) t_{DZC} と t_{DZO} はどちらか一方が満足されていれば動作が保証される。

タイミング図

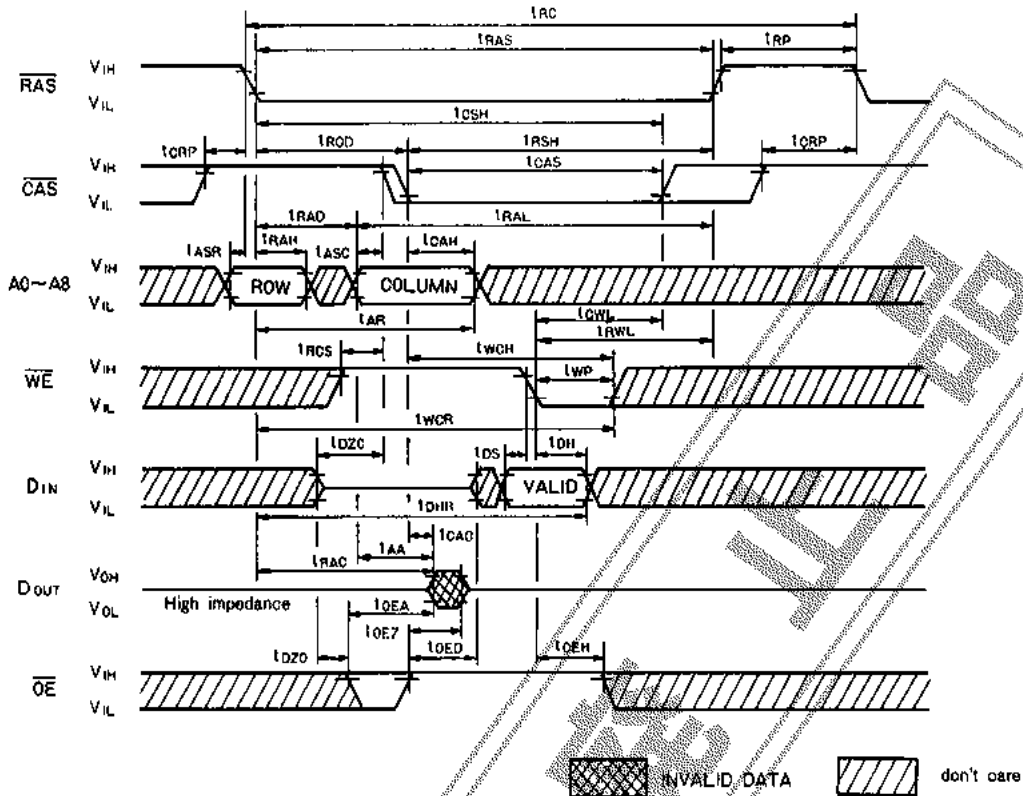
リードサイクル



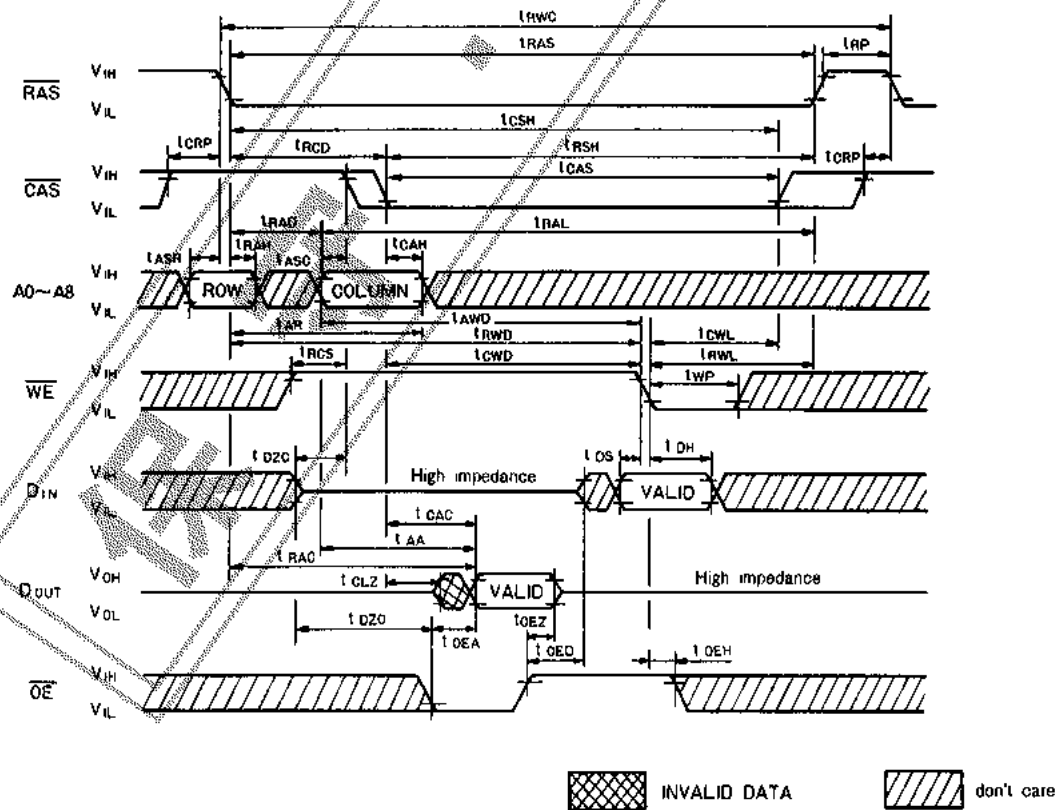
ライトサイクル (アーリライト)



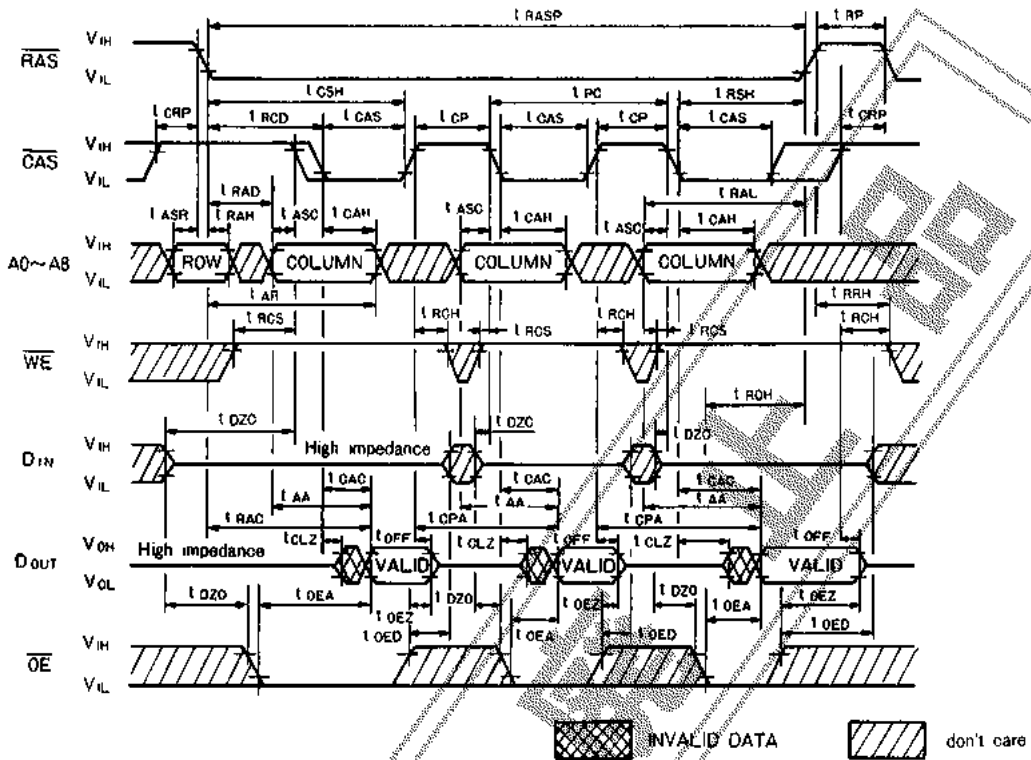
ライトサイクル (OEコントロール)



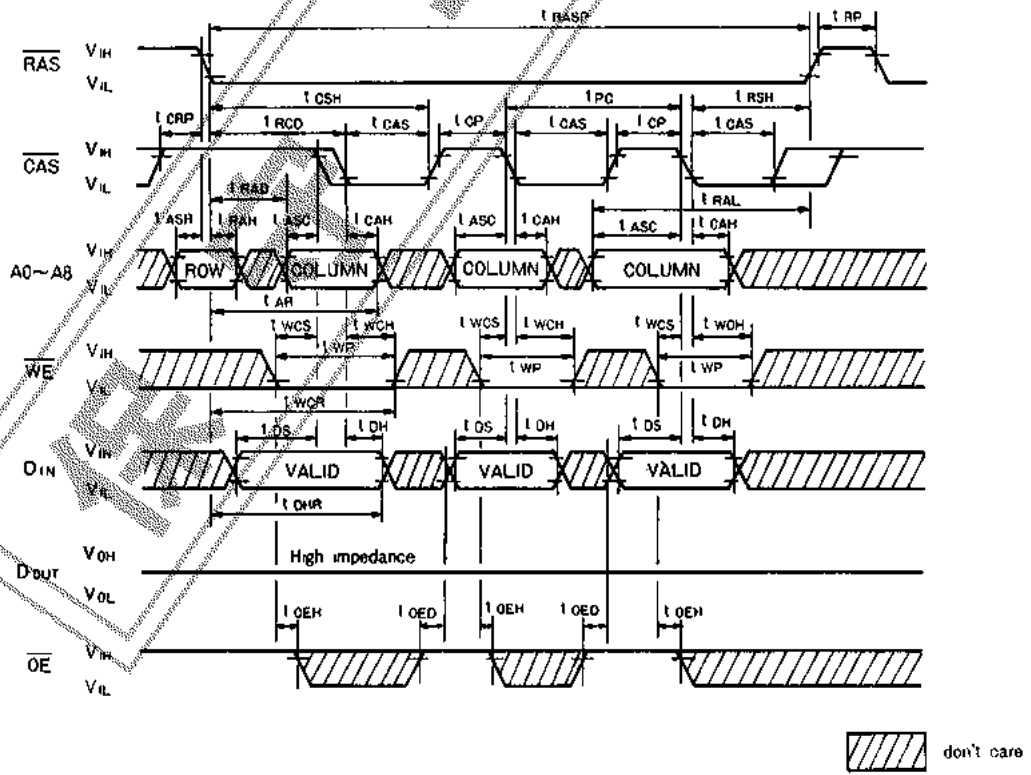
リードモディファイライトサイクル



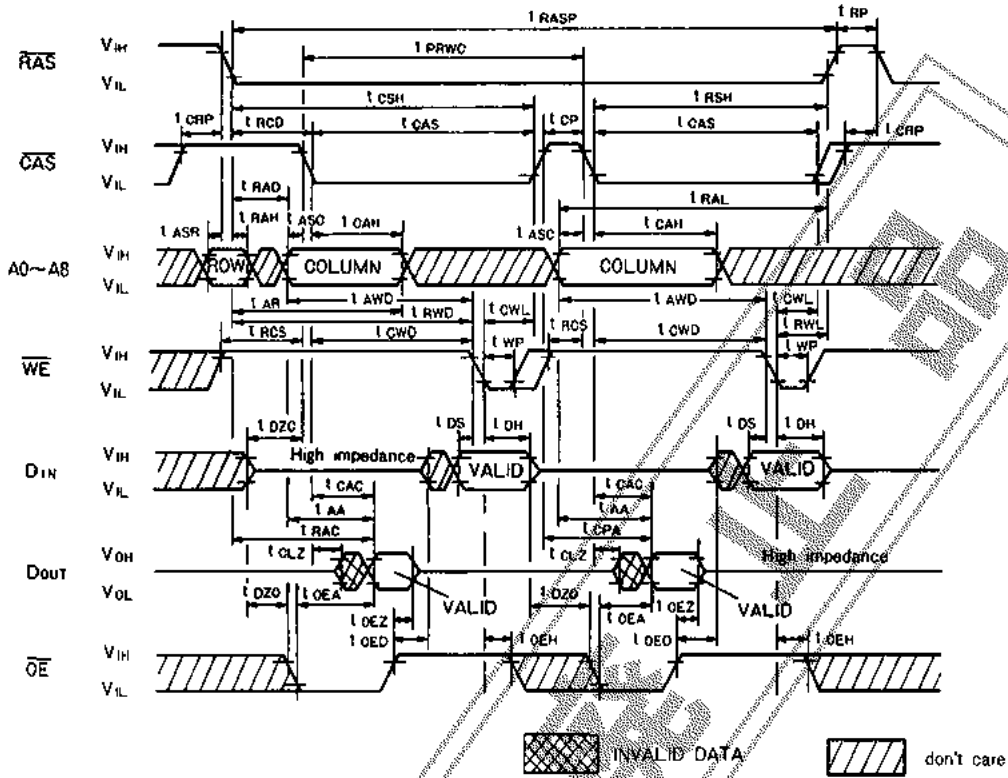
高速ページモード・リードサイクル



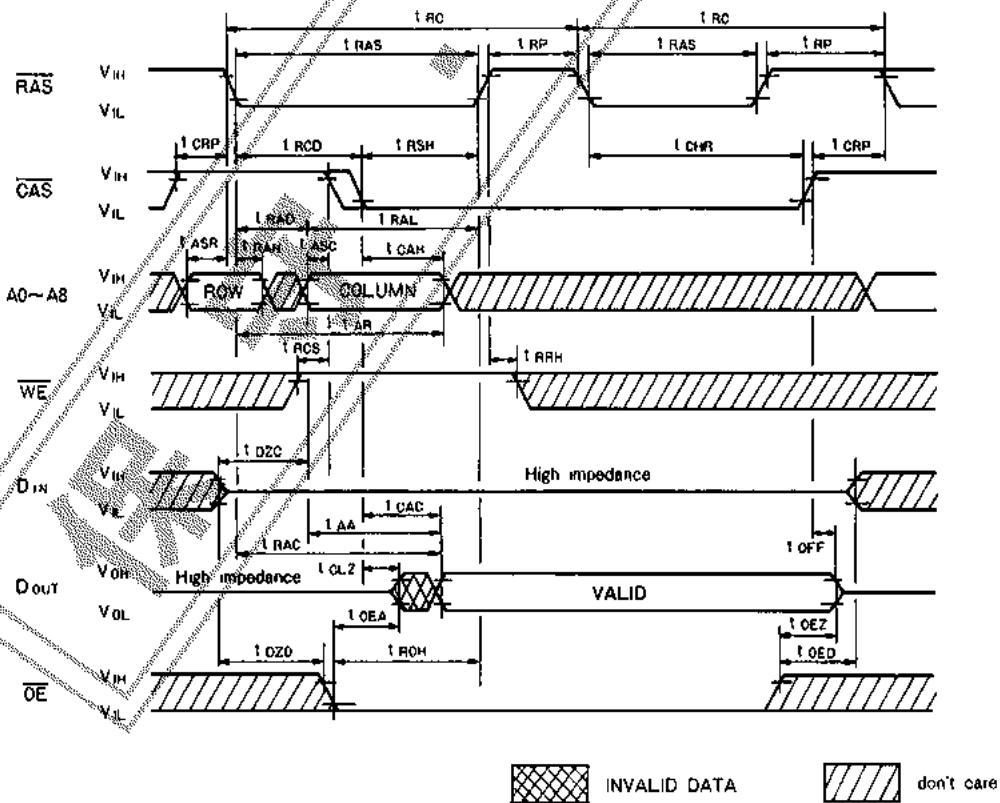
高速ページモード・ライトサイクル



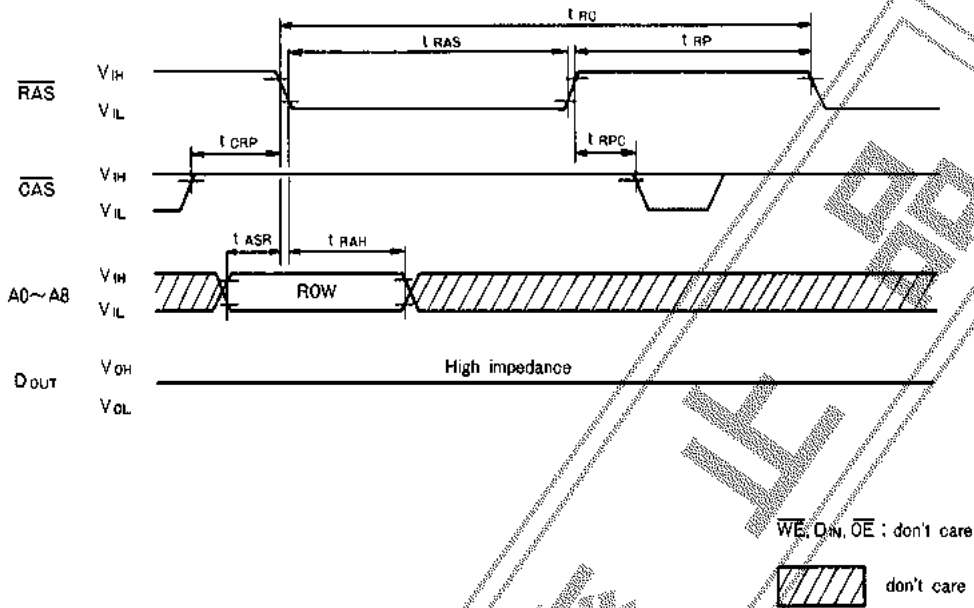
高速ページモード・リードモディファイライトサイクル



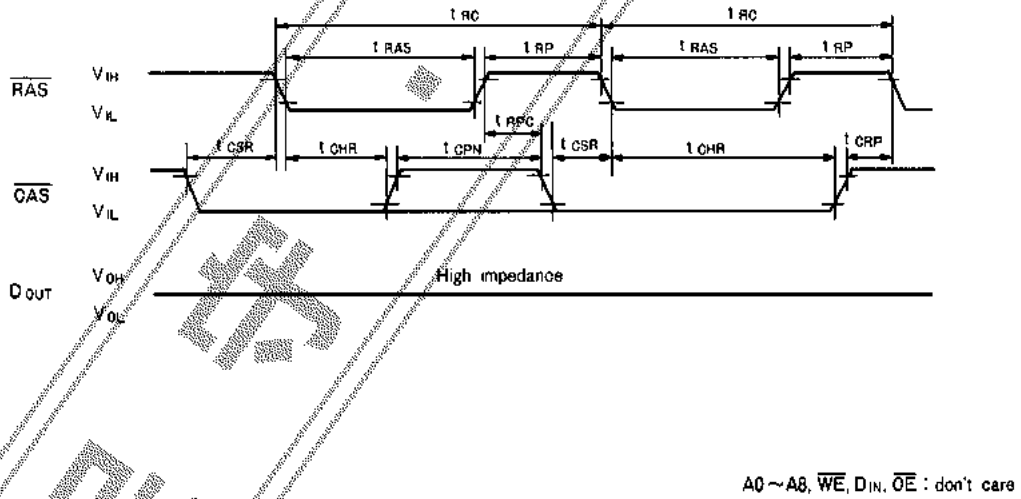
ヒドン・リフレッシュサイクル



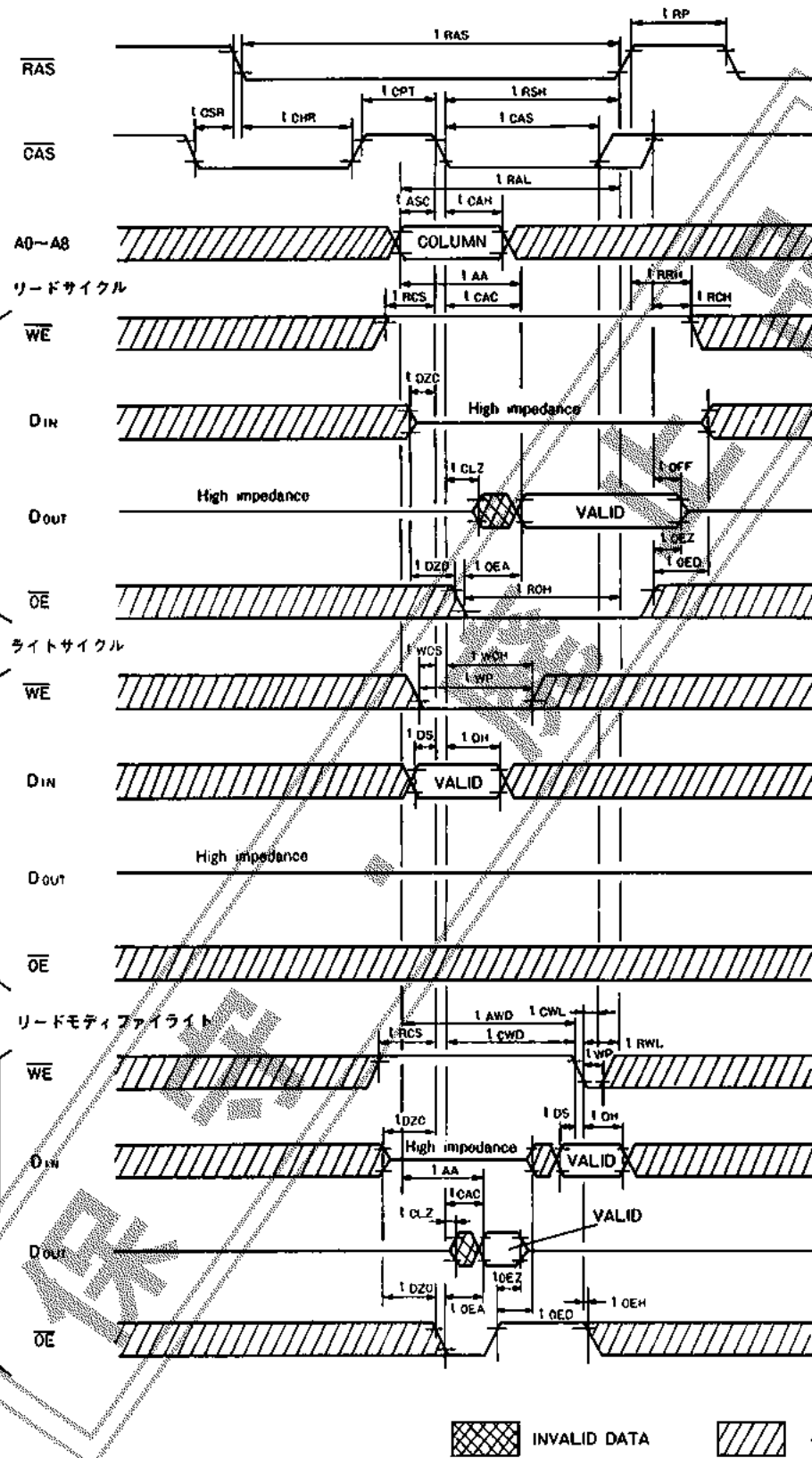
RASオンリーリフレッシュサイクル



CASピフォアRASリフレッシュサイクル



CASピフォアRASリフレッシュカウンタテストサイクル



この資料の構成(構成回路および回路定数を含む)は一例を示すもので、生産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。
 本書記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。